

Practitioner's Docket No.: 040044-0307075
Client Reference No.: OF03P209/US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: BI O LIM

Confirmation No:

Application No.:

Group No.:

Filed: December 10, 2003

Examiner:

For: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

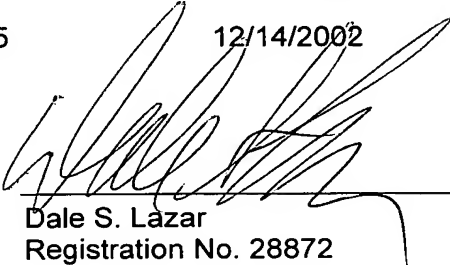
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0080015	12/14/2002

Date: December 10, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909



Dale S. Lazar
Registration No. 28872



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0080015
Application Number

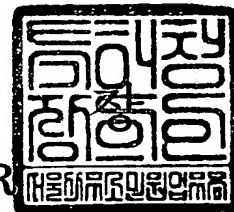
출원 년 월 일 : 2002년 12월 14일
Date of Application DEC 14, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 11 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.12.14
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	Method For Manufacturing Semiconductor Devices
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	임비오
【성명의 영문표기】	LIM,Bi O
【주민등록번호】	740704-1558817
【우편번호】	134-060
【주소】	서울특별시 강동구 둔촌동 주공 APT 135동 402호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김영철 (인) 대리인

김순영 (인) 대리인

이준서 (인)

【수수료】

【기본출원료】 19 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 490,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법을 개시한다. 본 발명은 원자층 적층(atomic layer deposition: ALD) 공정을 이용하여 반도체 기판의 콘택홀에 단원자층의 텅스텐층을 적층시키고 상기 텅스텐층을 질소 플라즈마 처리시켜 텅스텐 나이트라이드(WN)층을 형성시킨다. 이러한 원자층 적층 공정을 반복 실시하여 원하는 두께의 텅스텐 나이트라이드층을 장벽 금속층으로서 형성시킨다. 이후, 상기 콘택홀을 매립하기 위해 상기 반도체 기판 상에 텅스텐층을 적층시킨다. 이때, 상기 텅스텐 나이트라이드층과 상기 텅스텐층을 하나의 동일한 텅스텐 공정용 반응 챔버에서 인시튜(in-situ)로 실시할 수 있다.

따라서, 본 발명은 장벽 금속층인 텅스텐 나이트라이드층의 스텝 커버리지를 개선시키므로 고 단차비의 미세 콘택홀에서의 콘택 불량을 저감시킬 수가 있다.

【대표도】

도 8

【명세서】**【발명의 명칭】**

반도체 소자의 제조 방법{Method For Manufacturing Semiconductor Devices}

【도면의 간단한 설명】

도 1은 종래 기술에 의한 반도체 소자의 콘택홀에서의 장벽 금속층의 불량 현상의 예를 설명하기 위한 단면도..

도 2는 종래 기술에 의한 반도체 소자의 콘택홀에서 장벽 금속층의 불량 현상의 다른 예를 설명하기 위한 단면도.

도 3 내지 도 8은 본 발명에 의한 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면공정도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 고 단차비(aspect ratio)의 미세 콘택홀에 장벽 금속층용 텅스텐 나이트라이드(WN)층을 원자층 적층 공정에 의해 적층시킴으로써 콘택 불량을 방지하도록 한 반도체 소자의 제조 방법에 관한 것이다.

<5> 일반적으로, 반도체 소자의 고집적화가 진행됨에 따라 반도체 소자의 설계물이 미세화되면서 MOS 트랜지스터의 소오스/드레인의 사이즈 및 게이트 전극의 선폭과 금속 배선의 선폭이 축소되고 있다. 특히, 상기 금속 배선의 선폭이 계속 축소되면서 콘택홀이나 비아홀(via hole)의 단차비(aspect ratio)가 증가하므로 기존의 물리 기상 증착(physical vapor deposition: PVD) 방법으로는 상기 콘택홀이나 비아홀을 텅스텐층으로 매립하는데 한계점에 이르렀다. 최근에 들어, 이러한 문제점을 극복하기 위해 새로운 금속 배선 형성 방법이 주로 사용되어 왔다. 즉, 상기 금속 배선 형성 방법은 화학 기상 증착(chemical vapor deposition: CVD)에 의한 매립 방법을 이용하여 콘택홀이나 비아홀에 텅스텐층을 매립한 후 상기 텅스텐층을 화학 기계 연마(chemical mechanical polishing: CMP) 공정에 의해 상기 콘택홀이나 비아홀 내에만 남기며 평탄화시키고 상기 콘택홀이나 비아홀의 텅스텐층 상에 알루미늄 배선을 형성하는 방법이다. 이러한 공정을 플러그(plug) 공정이라고 한다. 실리콘 기판이나 다결정 실리콘 배선을 노출시키는 콘택홀의 경우, 상기 콘택홀의 형성 후에 텅스텐층의 적층을 위해 반응 챔버의 내부로 주입되는 WF_6 가스의 플루오린(Fluorine) 성분이 상기 콘택홀의 저부면을 손상시키는 것을 방지하고 또한 안정된 Ti 실리사이드를 형성하기 위해 상기 콘택홀에 주로 Ti/TiN 층을 적층시킨다. 상기 비아홀의 경우, 상기 비아홀의 형성 후에 상기 비아홀에 Ti/TiN 층이나 TiN 층을 형성시킨다. 이는 장벽 금속층의 역할과 접착 특성을 강화시켜주기 위함이다. 상기 장벽 금속층의 형성에 사용되는 물질로는 스퍼터링에 의한 TiW, 스퍼터링에 의한 Ti/TiN, 화학 기상증착에 의한 TiN, 스퍼터링에 의한 WN 등이 주로 사용

된다. 상기 장벽 금속층을 사용하는 이유는 텅스텐층이 실리콘 기판이나 산화막과의 접착성이 좋지 못하고, 특정 막 상에서 잘 성장하기 때문이다. 이들 막질은 초기의 텅스텐 핵 생성 (nucleation) 단계에서의 막질에 큰 영향을 주어 전체적인 텅스텐층의 막질에 큰 영향을 주고, 텅스텐 적층 때에 사용되는 WF_6 가스의 플로린(Fluorine) 성분이 반도체 소자의 내부로 침투하여 손상을 주는 것을 예방하기 위함이다.

【발명이 이루고자 하는 기술적 과제】

- <6> 종래에는 큰 사이즈의 홀의 경우, 스퍼터링에 의한 Ti/TiN 층이 장벽 금속층으로 사용되고, 작은 사이즈의 홀의 경우, IMP(ionized metal plasma)-Ti/CVD-TiN 층이 장벽 금속층으로 사용된다.
- <7> 즉, 상기 스퍼터링에 의한 Ti/TiN 층을 형성하는 방법에서는 도 1에 도시된 바와 같이, 반도체 기판(10)의 절연막(11)의 콘택홀(12)의 상측 모서리부(A)에서 상기 Ti/TiN 층(13)의 스텝 커버리지가 불량하므로 오버행(overhang) 현상이 다발한다. 또한 상기 콘택홀(12)의 하측 모서리부에서 Ti 층이 노출되기 쉬우므로 상기 텅스텐층(15)을 적층할 때 벌케이노 결함(volcano defect)을 발생시킬 가능성이 높다. 그리고, 상기 콘택홀(12)의 상기 Ti/TiN 층(13)의 스텝 커버리지가 좋지 않으므로 상기 텅스텐층(15)이 완전히 매립되지 못하고 상기 콘택홀(12) 내에 빈 공간인 보이드(void)가 발생하기 쉽다. 따라서, 이러한 방법은 예를 들어 $0.18\mu m$ 이하로 미세화되는 반도체 소자에는 거의 적용하기 어렵다.
- <8> 상기 IMP(ionized metal plasma)-Ti/CVD-TiN 층을 장벽 금속층으로 사용하는 방법에서는 도 2에 도시된 바와 같이, Ti 층(23)의 특성상 반도체 기판(10)의 절연막(11)의 콘택홀(12)의

측벽(C)에서 Ti 층(23)의 스텝 커버리지가 불량하므로 절연막(11), 예를 들어 산화막과의 접착력이 저하된다.

<9> 또한, TiN 층(25)이 상기 Ti 층(23) 상에 화학기상증착(CVD)에 의해 적층된 후 플라즈마 처리되는데, 이때, 상기 콘택홀(12)의 외측 영역(D)이나 상기 콘택홀(12)의 저면 영역(E)에서 TiN 층(25)이 정상적으로 플라즈마 처리될 수 있으나, 플라즈마의 직진성에 의해 상기 콘택홀(12)의 측벽(F)에서 TiN 층(25)이 거의 플라즈마 처리되지 않으므로 후속의 화학기상증착에 의한 콘택홀(12) 매립 때에 상기 Ti/TiN 층이 장벽 금속층으로서의 역할을 제대로 수행하지 못한다. 그 결과, 플로린의 횡방향 손상으로 상기 측벽(F)에서의 TiN 층(25)은 표면 상태가 불량하고 불순물을 다량 함유한다. 이는 금속 박막의 저항 증가를 가져오고, 장벽 금속층의 물성 악화를 가져오고 나아가 상기 콘택홀(12)에 매립될 텅스텐층(도시 안됨)의 성장 방해 등과 같은 여러 가지 문제점을 일으킬 가능성이 높고 또한 반도체 소자의 제조에 심각한 문제를 가져올 수 있다. 현재까지는 이러한 문제가 반도체 소자에 치명적인 문제를 일으키지 않으나 예를 들어 $0.13\mu\text{m}$ 이하로 미세화되는 반도체 소자에서는 심각한 문제로 대두될 것으로 예상된다.

<10> 더욱이, 종래의 방법은 장벽 금속층을 적층한 후에 반도체 기판을 별도의 다른 제조 장비로 이동되기 때문에 상기 반도체 기판의 진공상태가 깨어져서 장벽 금속층과 텅스텐층 사이에 이물질이나 자연 산화막이 생성되기 쉽고 그 결과 콘택 저항 특성의 불량을 가져오기 쉽다.

<11> 이러한 종래 방법의 문제점을 고려하여 볼 때, 텅스텐 나이트라이드(WN) 층이 우수한 장벽 특성을 갖고 있는 장벽 금속층인데, 그럼에도 불구하고 스퍼터 방식에 의해 적층되는 구조적 한계 때문에 현재 거의 사용되지 못하고 있다. 상기 텅스텐 나이트라이드층의 적층 방법에 대한 개선이 절실히 요구되고 있다.

- <12> 따라서, 본 발명의 목적은 고 단차비를 갖는 미세 콘택홀에서의 콘택 불량을 개선시킴으로써 반도체 소자의 불량을 방지하는데 있다.
- <13> 본 발명의 다른 목적은 미세 콘택홀에서의 장벽 금속층의 스텝 커버리지를 개선시키도록 하는데 있다.
- <14> 본 발명의 또 다른 목적은 텅스텐 나이트라이드층인 장벽 금속층의 적층 공정을 단순화 하도록 하는데 있다.

【발명의 구성 및 작용】

- <15> 이와 같은 목적을 달성하기 위한 본 발명에 의한 반도체 소자의 제조 방법은 반도체 기판 상에 절연막을 형성하고 상기 절연막의 일부 영역에 콘택홀을 형성시키는 단계; 원자층 적층 공정을 이용하여 상기 콘택홀 및 상기 절연막에 장벽 금속층용 텅스텐 나이트라이드층을 적층시키는 단계; 및 상기 원자층 적층 공정을 반복 실시하여 상기 텅스텐 나이트라이드층을 원하는 층 두께로 형성시키는 단계를 포함하는 것을 특징으로 한다.
- <16> 바람직하게는, 상기 콘택홀에 텅스텐층을 매립시키기 위해 통상의 텅스텐 적층 공정을 실시하는 단계를 더 포함할 수 있다.
- <17> 바람직하게는, 상기 텅스텐 나이트라이드층과 상기 텅스텐층을 하나의 동일한 반응 챔버에서 인시튜로 적층시킬 수 있다. 더욱 바람직하게는 상기 텅스텐 나이트라이드층과 상기 텅스텐층을 상기 텅스텐층 적층용 반응 챔버에서 인시튜로 적층시킬 수 있다.
- <18> 상기 반응 챔버의 압력을 10~350 Torr의 범위, 상기 반응 챔버의 온도를 250~550℃의 범위에서 유지시키는 것이 바람직하다.

- <19> 바람직하게는, 상기 텅스텐 나이트라이드층을 적층시키는 단계는 SiH_4 가스를 이용하여 상기 콘택홀에 단원자의 실리콘층을 적층시키는 단계; WF_6 가스를 이용하여 상기 단원자의 실리콘층의 실리콘과 상기 WF_6 가스를 반응시킴으로써 단원자의 텅스텐층을 형성시키는 단계; 및 상기 단원자의 텅스텐층을 플라즈마 처리시킴으로써 상기 텅스텐 나이트라이드층을 형성시키는 단계를 포함할 수 있다.
- <20> 바람직하게는, 상기 단원자의 텅스텐층을 질소(N_2) 가스 플라즈마 처리시킴으로써 상기 텅스텐 나이트라이드층을 형성시킬 수가 있다.
- <21> 바람직하게는, 상기 SiH_4 가스와 상기 WF_6 가스를 각각 5~200 SCCM의 조건에서 이용할 수 있다.
- <22> 바람직하게는, 상기 텅스텐 나이트라이드층을 3~100Å의 층 두께로 형성할 수 있다.
- <23> 이하, 본 발명에 의한 반도체 소자의 제조 방법을 첨부된 도면을 참조하여 상세히 설명하기로 한다. 종래의 부분과 동일 구성 및 동일 작용의 부분에는 동일 부호를 부여한다.
- <24> 도 3 내지 도 8은 본 발명에 의한 반도체 소자의 제조 방법을 나타낸 단면 공정도이다.
- <25> 도 3을 참조하면, 먼저, 반도체 기판(10) 상에 산화막과 같은 절연막(11)을 충분한 두께로 형성한다. 여기서, 도면에 도시하지 않았으나 통상의 공정을 이용하여 상기 반도체 기판(10)의 활성영역을 정의하기 위하여 상기 반도체 기판(10)의 필드영역에 필드산화막을 형성하고 상기 활성영역에 메모리 소자 또는 비메모리 소자를 위한 트랜지스터의 소스/드레인과 게이트 전극 등을 미리 형성하여 둠은 자명하다. 이어서, 사진식각 공정을 이용하여 고 단차비의 미세 콘택홀(12)을 형성하기 위해 상기 반도체 기판(10)의 콘택 부분 상의 절연막(11)을 식각

시킴으로써 상기 반도체 기판(10)의 콘택 부분(도시 안됨)을 노출시킨다. 이어서, 상기 반도체 기판(10)의 콘택홀(12)의 내부에 형성된 자연 산화막(도시 안됨)을 제거시킨다.

<26> 도 4 내지 도 7을 참조하면, 그런 다음, 원자층 적층(Atomic Layer Deposition: ALD) 공정을 위한 하나의 반응 챔버(도시 안됨), 예를 들어 텅스텐 공정용 반응 챔버에서 원자층 적층 공정을 이용하여 상기 반도체 기판(10)에 장벽 금속층인 텅스텐 나이트라이드(WN)층(21)을 적층한다. 이때, 상기 반응 챔버는 10~350 Torr의 압력과 250~550℃의 온도 조건을 유지시켜주는 것이 바람직하다.

<27> 이를 좀 더 상세히 언급하면, 도 4에 도시된 바와 같이, 상기 반응 챔버에 상기 반도체 기판(10)을 장착한 다음 반응 가스인 SiH_4 가스를 5~100 SCCM(standard cubic centimeter)의 유량으로 상기 반응 챔버의 내부로 유입시킴으로써 상기 콘택홀(12)의 내부면과 함께 상기 절연막(11)의 표면 상에 단원자의 실리콘(Si) 층(21)을 적층시킨다.

<28> 여기서, 상기 SiH_4 가스를 도 5에서 설명할 WF_6 가스보다 먼저 주입하는 것은 상기 WF_6 가스에 의한 콘택홀(12)의 노출된 실리콘 표면의 손상을 방지시켜주기 위함이다.

<29> 도 5를 참조하면, 이후, 예를 들어 불활성 가스인 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H_2) 가스의 혼합 가스를 퍼징(purging) 가스로서 상기 반응 챔버의 내부로 주입함으로써 상기 반응 챔버 내에 남아있는 미반응 SiH_4 가스를 상기 반응 챔버로부터 완전히 배기시킨다. 그런 다음, 상기 반응 챔버의 내부에 반응 가스인 WF_6 가스를 5~200 SCCM의 유량으로 유입시킨다. 따라서, 상기 WF_6 가스가 상기 실리콘 층(31)의 실리콘 원자와 반응하므로 단원자의 텅스텐(W) 층(33)이 형성된다. 이때, 잔류 물질은 SiF_4 가스이다.

- <30> 도 6을 참조하면, 이후, 예를 들어 불활성 가스인 아르곤(Ar) 가스 또는 아르곤(Ar) 가스와 수소(H₂) 가스의 혼합 가스를 퍼징 가스로서 상기 반응 챔버의 내부로 유입시킴으로써 상기 반응 챔버 내에 잔류하는 SiF₄ 가스를 상기 반응 챔버로부터 완전히 배기시킨다.
- <31> 그런 다음, 텅스텐과 질소(N₂)의 결합력을 강화시키기 위해 도 5의 텅스텐층(33)을 플라즈마, 예를 들어 질소(N₂) 가스 플라즈마로 처리시킨다. 따라서, 수 Å의 텅스텐 나이트라이드층(35)이 형성된다.
- <32> 한편, 상기 텅스텐 나이트라이드층(37)의 적층 때에 반응 효율을 높이기 위해 수소(H₂) 가스나 아르곤(Ar) 가스를 추가로 상기 반응 챔버로 유입시켜주는 것이 바람직하다.
- <33> 도 7을 참조하면, 계속하여, 상기 텅스텐 나이트라이드층(35)을 원하는 층 두께, 예를 들어 3~100Å의 두께로 형성하기 위해 상기 원자층 적층 공정을 반복 진행한다. 여기서는, 도면에 도시된 바와 같이, 상기 텅스텐 나이트라이드층(35)을 복수층, 예를 들어 3층으로 적층하기 위해 상기 원자층 적층 공정을 3회 반복 실시한다. 따라서, 최종적으로 텅스텐 나이트라이드층(37)의 형성이 완료된다. 이때, 상기 콘택홀(12)에서의 상기 텅스텐 나이트라이드층(37)의 스텝 커버리지가 종래의 장벽 금속층에 비하여 상당히 우수하게 개선된다.
- <34> 한편, 본 발명은 설명의 편의상 상기 텅스텐 나이트라이드층(37)이 3층의 텅스텐 나이트라이드층(35)으로 적층된 것처럼 도시하였으나, 실제로는 원하는 두께에 해당하는 횟수만큼 상기 원자층 적층 공정을 반복 진행함은 자명한 사실이다.
- <35> 도 8을 참조하면, 이후, 통상적인 텅스텐 적층 공정을 이용하여 상기 콘택홀(12)을 완전히 매립하기 위해 상기 텅스텐 나이트라이드층(37) 상에 텅스텐층(39)을 예를 들어 300~500Å의 두꺼운 두께로 적층시킨다. 이때, 상기 텅스텐 나이트라이드층(37)과 상기 텅스텐층(39)의

적층을 하나의 동일한 반응 챔버, 예를 들어 텅스텐 공정용 반응 챔버에서 인시튜로 실시하는 것이 바람직하다.

<36> 이후, 예를 들어 화학 기계 연마(CMP) 공정이나 에치백(etch back) 공정을 이용하여 상기 텅스텐층을 평탄화시키고 상기 콘택홀 내의 텅스텐층 상에 금속 배선의 패턴을 형성시킨다. 설명의 편의상 본 발명의 요지와 관련성이 적으므로 이에 대한 상세한 설명은 생략하기로 한다.

<37> 따라서, 본 발명은 원자층 적층 공정을 이용하여 장벽 금속층인 텅스텐 나이트라이드층을 고 단차비의 미세 콘택홀의 내부에 적층시키므로 상기 콘택홀에서 상기 장벽 금속층의 스텝 커버리지가 크게 개선될 수 있다. 이는 상기 텅스텐 나이트라이드층을 장벽 금속층으로 적용한 반도체 소자의 콘택 불량률을 저감시키고 나아가 반도체 소자의 수율을 향상시킬 수 있다.

<38> 또한, 본 발명은 장벽 금속층용 텅스텐 나이트라이드층과 콘택홀 매립용 텅스텐층을 하나의 동일한 텅스텐 공정용 반응 챔버에서 적층시킬 수 있으므로 공정 단순화는 물론 공정 장비의 단순화가 가능하고 그에 따른 생산성 향상과 원가 절감이 가능하다.

<39> 한편, 본 발명은 설명의 편의상 콘택홀을 기준으로 설명하였으나, 콘택홀 이외에 비아홀에도 동일하게 적용시킬 수가 있음은 자명한 사실이다.

【발명의 효과】

<40> 이상에서 설명한 바와 같이, 본 발명에 의한 반도체 소자의 제조 방법은 원자층 적층 공정을 이용하여 반도체 기판의 콘택홀에 단원자층의 텅스텐층을 적층시키고 상기 텅스텐층을 질소 플라즈마 처리시켜 텅스텐 나이트라이드층을 형성시킨다. 이러한 원자층 적층 공정을 반복

실시하여 원하는 두께의 텅스텐 나이트라이드층을 장벽 금속층으로서 형성시킨다. 이후, 상기 콘택홀을 매립하기 위해 상기 반도체 기판 상에 텅스텐층을 적층시킨다. 이때, 상기 텅스텐 나이트라이드층과 상기 텅스텐층을 하나의 동일한 텅스텐 공정용 반응 챔버에서 인시튜로 실시할 수 있다.

<41> 따라서, 본 발명은 장벽 금속층인 텅스텐 나이트라이드층의 스텝 커버리지를 개선시키므로 고 단차비의 미세 콘택홀에서의 콘택 불량을 저감시킬 수가 있다.

<42> 한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 형태의 변형도 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 절연막을 형성하고 상기 절연막의 일부 영역에 콘택홀을 형성시키는 단계;

원자층 적층 공정을 이용하여 상기 콘택홀 및 상기 절연막에 장벽 금속층용 텅스텐 나이트라이드층을 적층시키는 단계; 및

상기 원자층 적층 공정을 반복 실시하여 상기 텅스텐 나이트라이드층을 원하는 총 두께로 형성시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 콘택홀에 텅스텐층을 매립시키기 위해 통상의 텅스텐 적층 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제 2 항에 있어서, 상기 텅스텐 나이트라이드층과 상기 텅스텐층을 하나의 동일한 반응 챔버에서 인시튜로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

제 3 항에 있어서, 상기 텅스텐 나이트라이드층과 상기 텅스텐층을 텅스텐층 적층용 반응 챔버에서 인시튜로 적층시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 5】

제 4 항에 있어서, 상기 반응 챔버의 압력을 10~350 Torr의 범위에서 유지시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 6】

제 4 항에 있어서, 상기 반응 챔버의 온도를 250~550℃의 범위에서 유지시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 7】

제 1 항에 있어서, 상기 텅스텐 나이트라이드층을 적층시키는 단계는

SiH₄ 가스를 이용하여 상기 콘택홀에 단원자의 실리콘층을 적층시키는 단계;

WF₆ 가스를 이용하여 상기 실리콘층의 실리콘과 상기 WF₆ 가스를 반응시킴으로써 단원자의 텅스텐층을 형성시키는 단계; 및

상기 단원자의 텅스텐층을 플라즈마 처리시킴으로써 상기 텅스텐 나이트라이드층을 형성시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 8】

제 7 항에 있어서, 상기 단원자의 텅스텐층을 질소(N_2) 가스 플라즈마 처리시킴으로써 상기 텅스텐 나이트라이드층을 형성시키는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제 7 항에 있어서, 상기 SiH_4 가스를 5~200 SCCM의 조건에서 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

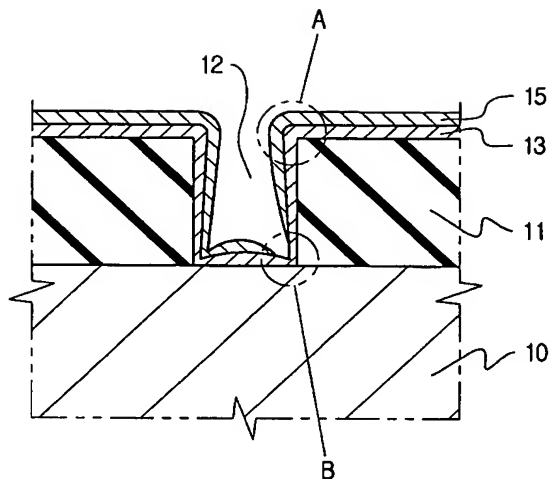
제 7 항에 있어서, 상기 WF_6 가스를 5~200 SCCM의 조건에서 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

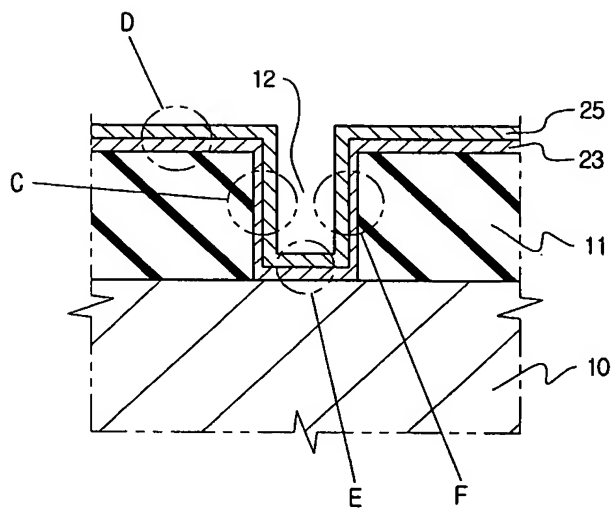
제 1 항에 있어서, 상기 텅스텐 나이트라이드층을 3~100 Å의 총 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

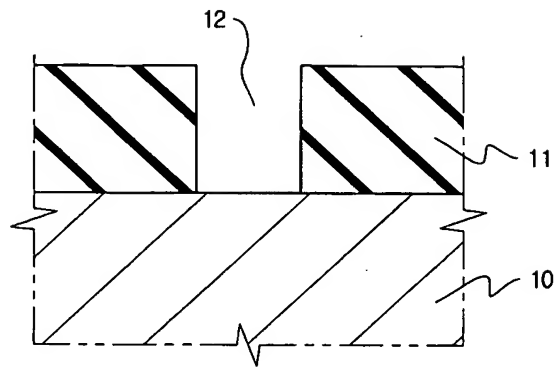
【도 1】



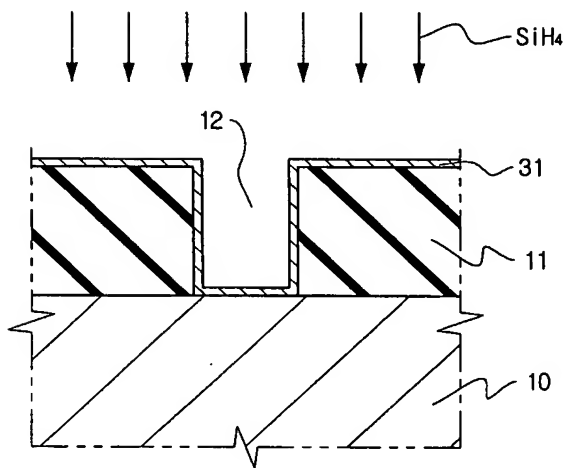
【도 2】



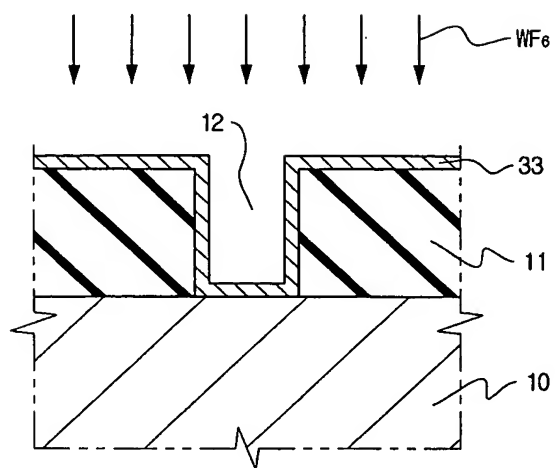
【도 3】



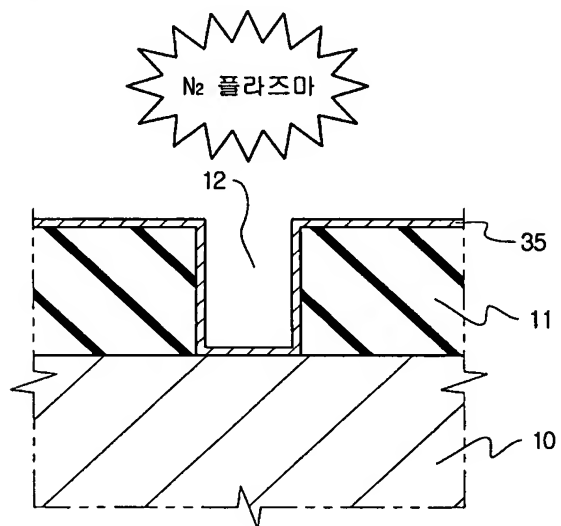
【도 4】



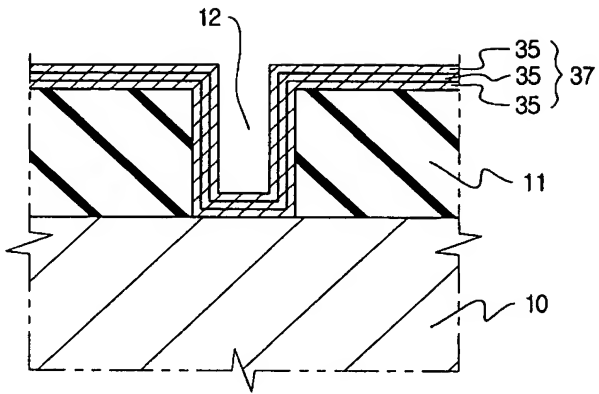
【도 5】



【도 6】



【도 7】



【도 8】

